

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-272932

(43)Date of publication of application : 20.10.1995

(51)Int.Cl.

H01F 17/00

(21)Application number : 06-063931

(71)Applicant : CANON INC

(22)Date of filing : 31.03.1994

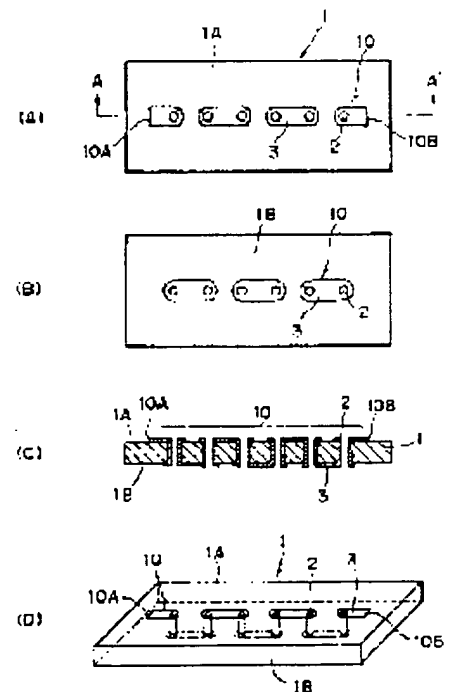
(72)Inventor : ARAKAWA TOMOYASU  
OTAKI TORU  
INAGAWA HIDEHO  
TAKEUCHI YASUSHI  
AISAKA TORU  
TERAYAMA YOSHIMI

## (54) PRINTED INDUCTOR

### (57)Abstract:

**PURPOSE:** To provide a printed inductor three-dimensionally formed over many layers on a single-or multi-layer substrate, utilizing limited regions.

**CONSTITUTION:** A printed inductor comprises mutually independent printed wirings 3 laid on the upper and lower sides 1A and 1B of a high-resistivity or-insulation substrate 1 and through-holes 2 piercing the substrate to connect the terminals of the interconnections at the upper and lower sides.



## LEGAL STATUS

[Date of request for examination]

30.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-272932

(43)公開日 平成7年(1995)10月20日

(51)Int.Cl.<sup>6</sup>

H 0 1 F 17/00

識別記号

庁内整理番号

F I

技術表示箇所

C 8123-5E

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21)出願番号 特願平6-63931

(22)出願日 平成6年(1994)3月31日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 荒川 智安

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 大滝 徹

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 稲川 秀穂

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 弁理士 谷 義一 (外1名)

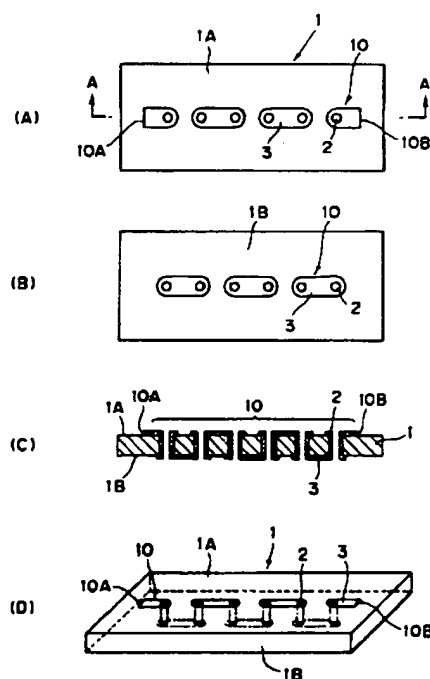
最終頁に続く

(54)【発明の名称】 プリントインダクタ

(57)【要約】

【目的】 単層若しくは多層の基板において、限られた領域を有効利用し、多層にわたり立体的に形成したプリントインダクタを提供する。

【構成】 高抵抗性ないし絶縁性を有する基板(1)の上下両面(1A, 1B)に配設した互いに独立するプリント配線(3)の複数と、基板を貫通し、独立プリント配線(3)の端末同士を上下に接続する複数のめっきスルーホール(2)とを具備するプリントインダクタ。



## 【特許請求の範囲】

【請求項1】 基板の上下両面に配設した互いに独立するプリント配線の複数と、

前記基板を貫通し、前記独立するプリント配線の端末同士を上下に接続する複数のめっきスルーホールとを具備し、該複数のめっきスルーホールを介して前記互いに独立するプリント配線の複数を順次連続して接続させるようにしたことを特徴とするプリントインダクタ。

【請求項2】 前記プリント配線の複数は前記基板の上下両面の同一線上に配設されることを特徴とする請求項1に記載のプリントインダクタ。

【請求項3】 前記複数のめっきスルーホールは前記基板において2列に穿設され、該複数のめっきスルーホールを介して前記独立するプリント配線の複数がコイル状に形成されることを特徴とする請求項1に記載のプリントインダクタ。

【請求項4】 前記複数のめっきスルーホールは前記基板上の2重の環状位置に穿設され、該複数のめっきスルーホールを介して前記独立するプリント配線の複数が環状をなすコイル状に形成されることを特徴とする請求項1に記載のプリントインダクタ。

【請求項5】 前記基板の上下両面に形成された複数の前記独立するプリント配線上または前記基板内の複数のめっきスルーホールとかかわる部分に磁性体膜を形成したことを特徴とする請求項1ないし4のいずれかの項に記載のプリントインダクタ。

【請求項6】 積層された多層基板のうちのすくなくとも2層以上の各層に配設した互いに独立するプリント配線の複数と、  
前記多層基板のうち、その両面の層に前記プリント配線の複数が形成されている基板を貫通し、前記独立するプリント配線同士を前記両面の層間で接続する複数の第1めっきスルーホールと、  
接続された前記プリント配線の端子部を前記多層基板の第1層に導くための第2めっきスルーホールとを具備し、前記複数の第1めっきスルーホールおよび第2めっきスルーホールを介して前記各層に配設した互いに独立するプリント配線の複数を順次連続して接続させるようにしたことを特徴とするプリントインダクタ。

【請求項7】 前記プリント配線の複数は前記第1めっきスルーホールが貫通する基板の両面の層の同一線上または平行する複数の線上に配設されることを特徴とする請求項6に記載のプリントインダクタ。

【請求項8】 前記複数の第1めっきスルーホールおよび第2めっきスルーホールは前記独立するプリント配線の複数が配設される基板において、2列に穿設され、前記複数の第1めっきスルーホールおよび第2めっきスルーホールを介して前記独立するプリント配線の複数がコイル状に形成されることを特徴とする請求項6に記載のプリントインダクタ。

【請求項9】 前記複数の第1めっきスルーホールおよび第2めっきスルーホールは前記独立するプリント配線の複数が配設される基板において、2重の環状位置に穿設され、前記第1のめっきスルーホールおよび第2めっきスルーホールを介して前記独立するプリント配線の複数が環状をなすコイル状に形成されることを特徴とする請求項6に記載のプリントインダクタ。

【請求項10】 複数の前記独立するプリント配線上または該独立するプリント配線が配設される基板内の前記複数の第1めっきスルーホールおよび第2めっきスルーホールとかかわる部分に磁性体膜を形成したことを特徴とする請求項6ないし9のいずれかの項に記載のプリントインダクタ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プリントインダクタに関し、詳しくは、単層ないし多層型の高抵抗基板、半絶縁性基板、絶縁性基板上にめっきスルーホールを介して形成したプリントインダクタに関する。

【0002】

【従来の技術】上述のような基板では、その面に設けられるプリント回路に発生する放射ノイズを抑制するために、基板上に配設される例えばデジタルICと供給電源V<sub>cc</sub>との間やデジタルICの出力側と入力側との間にコンデンサとインダクタとによって構成したローパスフィルタからなる雑音防止回路を形成するようにしている。ところで、このようなインダクタは従来、図12の(A)～(C)または図13の(A)、(B)に示すように形成されてきた。これらの図において、101は高抵抗基板、半絶縁性基板若しくは絶縁性基板、102はスルーホール（導体膜がめっきされているめっきスルーホール）、103は基板上にプリントされた導体膜の配線である。

【0003】すなわち、図12に示す例は、角渦巻型に導体膜による配線103を形成した上、その中心側端部103Aをめっきスルーホール102の上端部と接続し、更にめっきスルーホール2の下端部を裏面側のプリント配線103の端部に接続して引出すようにしたものである。なお、103Bおよび103Cはこのようにして形成されたインダクタ103の接続端部である。また、図13に示す例は導体膜103を同一面上で蛇行せしめてジグザグのコイル状に形成したものであり、いずれの例も基板101面上の限られた面積内で配線をできるだけ長くスパイラル状あるいはコイル状に形成し、これによって得られるインダクタができるだけ大きい値に保たれるようにしている。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来例では、基板の面上にインダクタを形成するにあたり、その占める面積の割合が比較的に大きくなり、基板

上の限られた領域に有効に形成することが難しいという点があった。

【0005】本発明の目的は、上述したような問題点に着目し、その解決を図るべく、単層若しくは多層の基板において、限られた領域を有効利用し、めっきスルーホールを介して基板の両面若しくは多層にわたり立体的に形成したプリントインダクタを提供することにある。

【0006】

【課題を解決するための手段】かかる目的を達成するために、本発明の第1の形態は、基板の上下両面に配設した互いに独立するプリント配線の複数と、前記基板を貫通し、前記独立するプリント配線の端末同士を上下に接続する複数のめっきスルーホールとを具備し、該複数のめっきスルーホールを介して前記互いに独立するプリント配線の複数とを順次連続して接続させるようにしたことを特徴とするものである。

【0007】また、本発明の第2の形態は、積層された多層基板のうちのすくなくとも2層以上の各層に配設した互いに独立するプリント配線の複数と、前記多層基板のうち、その両面の層に前記プリント配線の複数が形成されている基板を貫通し、前記独立するプリント配線同士を前記両面の層間で接続する複数の第1めっきスルーホールと、接続された前記プリント配線の端子部を前記多層基板の第1層に導くための第2めっきスルーホールとを具備し、前記複数の第1めっきスルーホールおよび第2めっきスルーホールを介して前記各層に配設した互いに独立するプリント配線の複数とを順次連続して接続させるようにしたことを特徴とするものである。

【0008】

【作用】本発明の第1形態によれば、基板の上下両面に配設した互いに独立するプリント配線同士をその基板を貫通するスルーホールを介して順次連続して接続する形でプリントインダクタを形成するので、基板のインダクタ形成に振り当てられる面積を有効に利用し、少なくとも複数のスルーホールの長さ分だけ長さを延伸させることができ、それだけインダクタンス値を大きく保つか、あるいは振り当て面積の縮小を図ることができる。

【0009】また、本発明の第2形態によれば、多層基板の少なくとも2層以上の各層に互いに独立するプリント配線の複数とを配設し、これらを複数の第1めっきスルーホールおよび第2めっきスルーホールを介して連続して接続することにより、基板としてインダクタに振り当てられる面積の縮小若しくはインダクタンス値の増大に貢献することができる。

【0010】更にまた、本発明の第1形態または第2形態において、互いに独立するプリント配線の複数が形成される基板の層面若しくはその基板内のめっきスルーホールとかかわる部分に磁性体膜を形成することで、更に上述の効果を高めることができる。

【0011】

【実施例】以下に、図面に基づいて本発明の実施例を詳細かつ具体的に説明する。

【0012】なお、図1～図5は単層基板への本発明の適用例を示すもので、以下では全ての例の説明において、高抵抗基板、半絶縁性基板、絶縁性基板のことを総称して単に基板という。図1は本発明の第1実施例を示す。1Aは基板1の上面、1Bは基板1の下面であり、本例では基板上面1Aおよびその下面1Bにそれぞれ図1の(A)および(B)に示すように導体膜による独立プリント配線3を周知の膜形成手段によって形成し、これらの独立配線3をめっきスルーホール2を介して上下交互に接続するようにしたものであり、10Aおよび10Bはインダクタ10の端子部である。その接続状態を図1の(C)および(D)に示す。このように基板1の上面1Aと下面1Bの双方に形成した独立プリント配線3をめっきスルーホール2を介して接続することにより限られたインダクタ形成面積において、少なくとも複数のスルーホール分だけプリントインダクタの長さを長くすることができ、それだけインダクタ10のインダクタンス値を高めることができる。

【0013】図2は本発明の第2実施例を示す。第1実施例の構成に加え、基板上面1Aおよび下面1Bにまたがって形成したインダクタ10上に例えば高透磁率を有する複合磁性材料による磁性体膜4を塗布等によって形成したものである。このように、磁性体膜4を形成することで、更にインダクタンス値を増加することができ、インダクタ10としての機能を一層高めることができる。

【0014】図3は本発明の第3実施例を示す。本例はインダクタ形成部の利用面積の有効利用を図るために、基板上面1Aおよび下面1Bに形成する独立プリント配線3を図3の(A)、(B)に示すようにそれぞれ斜め方向に並列配置したもので、これらの独立プリント配線3を図3の(C)に示すようにめっきスルーホール2を介して上下交互に接続することで、基板1をあたかも軸心に見たてたコイル状にインダクタ20を構成することができる。20A、20Bはインダクタ20の接続用の端子部である。

【0015】図4は本発明の第4実施例を示す。本例は、第3実施例の構成に加え、基板1内に複合磁性材料による磁性体膜4をサンドイッチ状に形成したもので、その効果については第2実施例と同様である。なお、本例では磁性体膜4を基板1の形成時にそのスルーホール2の形成領域にまたがるようにして形成したが、第3実施例のようにして基板1の上面1A、下面1Bにまたがるインダクタ20を形成した上、更にその上面1Aおよび下面1B側に磁性体膜4を形成するようにしてもよい。

【0016】図5は本発明の第5実施例を示す。本例は

をそれぞれ異なる方向に向けて環状に配置し、上面1 Aおよび下面1 Bに配設したこれらの独立プリント配線3をめっきスルーホール2によって交互に接続し、環状コイル型のインダクタ30に形成したものである。なお、本例の場合、個々の独立プリント配線3の長さやめっきスルーホール2の形成位置およびその数については、基板1の許容される形成領域を配慮した上で設定すればよい。30 A、30 Bはインダクタ30の端子部である。また、特に図示はしないが本実施例においても図2や図4に示したような磁性体膜を設けることが可能なことはいうまでもない。

【0017】図6～図9は多層基板への本発明の適用例を示す。なお以下ではプリント配線が可能な層を上部表面から順次第1層、第2層、第3層、…と呼ぶもので、3枚の基板の積層によって形成される以下の例では、上層基板1-1の上面を第1層1-1 A、上層基板1-1と中層基板1-2との接合面を第2層1-1 2、中層基板1-2と下層基板1-3との接合面を第3層1-2 3、下層基板の下面を第4層1-3 Bという。

【0018】図6に本発明の第6実施例を示す。図6の(B)、(C)に示すように本例は独立プリント配線3を第2層1-1 2と第3層1-2 3とにおいて2列に配置し、第2層1-1 2に設けた独立プリント配線3と、第3層1-2 3に設けた独立プリント配線3とを中層基板1-2に設けためっきスルーホール2を介して接続すると共に第1列目の独立配線3と第2列目の独立配線3とを(B)に示すように縦方向の接続配線3-0によって接続する。そして、このようにして形成したインダクタ40の両端子部40 Aおよび40 Bを上層基板1-1、中層基板1-2を貫通させて形成した共通めっきスルーホール2-0を介して第1層1-1 Aに設けるようにした。

【0019】図7は本発明の第7実施例を示す。本例は、多層基板1において更に好適なように機能するインダクタを提案するものである。すなわち、本例では第1層1-1 Aから第4層1-3 Bまでの各層に図7の(A)から(D)に示すようにそれぞれ独立プリント配線3を形成すると共に上層基板1-1および下層基板1-3にそれぞれめっきスルーホール2を形成して、第1層1-1 Aと第2層1-1 2との間および第3層1-2 3と第4層1-3 Bとの間の独立プリント配線3同士を順次上下に接続する。また、共通めっきスルーホール2-00は第1層1-1 Aの独立配線3から第2層1-1 2および第3層1-2 3を経由して第4層1-3 Bの独立配線3に接続するためのもの、また、3-00は第4層1-3 Bに縦方向に形成され、その第1列目の独立配線3と第2列目の独立配線3との間を接続するための接続用配線である。

【0020】このようにして形成したインダクタ50での電氣的接続経路について説明すると、まず図7の

(A)に示す端子部50 Aから上層基板1-1に穿設しためっきスルーホール2を介して右端の独立プリント配線3に導かれた電流は、共通めっきスルーホール2-00を介して第4層1-3 B((D)参照)の右端に示す独立プリント配線3に導かれる。かくして、ここから下層基板1-3に穿設しためっきスルーホール2を介して左端に示す接続用配線3-00に導かれ、第2列目の独立配線3の列に移行し、最後に(D)に示す右端の独立プリント配線3から第2列目に穿設されている共通めっきスルーホール2-00を介して第1層1-1 Aの第2列目右端の独立プリント配線3に到る。そして、ここから上層基板1-1に穿設しためっきスルーホール2を介して第2列目に設けられている端子部50 Bに導かれる。

【0021】上述したように、本実施例によれば多層基板1の構成を有効に利用してインダクタンス値の高いインダクタ50を形成することができる。

【0022】図8は本発明の第8実施例を示す。本例は第7実施例の構成に加えて、第1層1-1 Aの独立配線3およびめっきスルーホール2上と、第4層1-3 Bの独立配線3およびめっきスルーホール2上とにそれぞれ磁性体膜4を形成したもので、その効果については第2実施例および第4実施例のところで述べたのでその説明は省略する。

【0023】図9は本発明の第9実施例を示す。本例は、第1層1-1 A、第2層1-1 2、第3層1-2 3および第4層1-3 Bにそれぞれ第3実施例にならった形態で複数の独立配線3を斜めの方向に並列配置するよう形成したものである。なお、2-00は上層基板1-1から下層基板1-3までを貫通させて形成した共通めっきスルーホールであり、この共通めっきスルーホール2-00を介して第1層1-1 Aの(A)で右端に示す独立配線3から第4層1-3 Bの(D)で右端に示す独立配線3への接続が得られる。

【0024】そこで、このように構成したインダクタ60においては、図9の(A)に示す端子部60 Aから電気の流れが独立配線3とめっきスルーホール2との接続によって第1層1-1 Aと第2層1-1 2との間に形成されたコイル状の回路を介して(A)～(D)の右端に示す共通めっきスルーホール2-00に到る。ついでここから第4層1-3 Bに移行して第4層1-3 Bと第3層1-2 3との間に形成されたコイル状の回路を介して(D)の左端上部に示す共通めっきスルーホール2-00に導かれる。そしてここから共通めっきスルーホール2-00を介して第1層1-1 Aの他方の端子部60 Bに導かれる。

【0025】本実施例によれば多層基板1の構成を有効に利用して僅かな面積内で上下2段にコイル状の回路を形成することができ、それだけ大きいインダクタンス値を保持させることができる。なお、図示はしないが、本

実施例の更に変形例として多層基板1の上面および下面に第8実施例で示したような磁性体膜を形成したり、多層基板1の例えば上層基板1-1および下層基板1-3に図4に示したような磁性体膜4をそれぞれサンドイッチ状に形成することも可能である。図10に後者の例を示す。

【0026】また、基板の各層に設ける独立配線の数や形状、寸法およびこれらを接続するためのめっきスルーホールの数や形状、寸法、更には多層基板の場合その積層数等については、上述の実施例に示したものに限らず、自在に設定可能であることは勿論であり、これらの自在な設定の組合せにより所望のインダクタンス値を具えたプリントインダクタを形成することができる。

【0027】図11は上述の実施例で述べてきたようなインダクタをプリント基板上に形成した構成例を示すもので、その(A)は回路図、(B)は模式的な構成の斜視図である。

【0028】なお、本例は、2つのデジタルIC、IC1およびIC2を具えた論理回路への適用例を示すもので、IC1およびIC2のGNDピン(GND)は図11の(A)に示すようにそれぞれ接地されている。また、V<sub>cc</sub>はIC1およびIC2への電源ライン用ピンであり、更に本例ではIC1の出力ピンOUT1とIC2の入力ピンIN1とが接続されていて、電源ラインV<sub>cc</sub>、1、V<sub>cc</sub>、2および接続ラインCN1にそれぞれノイズ対\*

\*策としてインダクタL1とコンデンサC1、インダクタL2とコンデンサC2およびインダクタL3とコンデンサC3から構成したローパスフィルタからなる雑音防止回路を形成したものである。

【0029】図11の(B)は上述のようなプリントインダクタL1およびL3がIC1およびIC2と共に基板1上に図3に示した実施例の形態で形成された状態を示す。但し、ここではIC1およびIC2自体の接地(GND)線およびIC2への電源ラインについては省略してある。

【0030】なお、上述の適用例では2つのデジタルICが設けられる論理回路へのインダクタ形成例を示したが、本発明の適用はこのような論理回路に限られるものではなく、デジタル回路、特にCPUを具えたデジタル回路に広く適用されるものである。また、その形成方法については説明を省略したが、スルーホールやプリント配線、独立配線等の形成については公知の方法を用いることが可能であり、レーザ制版法やフォトリソ法等によればよい。

【0031】発明者は図1に示す形態の各種インダクタを下記の表に示す条件の元で製作し、最右欄に示すようなインダクタンス(nH:ナノ・ヘンリー)が得られることを確認した。

【0032】

【表1】

スルーホール数	単独配線の幅(mm)	スルーホール間距離(mm)	基板厚さ(mm)	インダクタンス(nH)
10	0.3	0.9	1.6	2.2
20	〃	〃	〃	4.3
30	〃	〃	〃	6.5

【0033】

【発明の効果】以上説明してきたように、本発明の第1の形態によれば、基板の上下両面に配設した互いに独立するプリント配線の複数と、前記基板を貫通し、前記独立するプリント配線の端部同士を上下に接続する複数のめっきスルーホールとを具備し、該複数のめっきスルーホールを介して前記互いに独立するプリント配線の複数

を順次連続して接続させるようにしたので、基板上の限られた占有面積上で大きいインダクタンス値を有するインダクタを形成することができ、基板上の部品実装率の向上を図ることができる。

【0034】また、本発明の第2の形態によれば、積層された多層基板のうちのすくなくとも2層以上の各層に配設した互いに独立するプリント配線の複数と、前記多層基板のうち、その両面の層に前記プリント配線の複数

が形成されている基板を貫通し、前記独立するプリント配線同士を前記両面の層間で接続する複数の第1めっきスルーホールと、接続された前記プリント配線の端子部を前記多層基板の第1層に導くための第2めっきスルーホールとを具備し、前記複数の第1めっきスルーホールおよび第2めっきスルーホールを介して前記各層に配設した互いに独立するプリント配線の複数

を順次連続して接続させるようにしたので、基板の各層を効果的に利用して基板の限られた占有面積に対して更にインダクタンス値の大きいインダクタを形成することができる。

【0035】更にまた本発明の第1形態または第2のものにおいて、複合磁性体膜を組込んで形成することにより上述の効果を一層高めることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例による構成を上面図



(A)、下面図(B)、(A)のA-A'線断面図(C)および全体の斜視図(D)によって示す説明図である。

【図2】本発明の第2実施例による構成を上面図(A)、下面図(B)および(A)のB-B'線断面図(C)によって示す説明図である。

【図3】本発明の第3実施例による構成を上面図(A)、下面図(B)および全体の斜視図(C)によって示す説明図である。

【図4】本発明の第4実施例による構成を上面図(A)、下面図(B)および(A)のC-C'線断面図(C)によって示す説明図である。

【図5】本発明の第5実施例による構成を平面図(A)および全体の斜視図(B)によって示す説明図である。

【図6】本発明の第6実施例による構成を、基板の上面図(第1層の平面図)(A)、第2層の平面図(B)、第3層の平面図(C)、第4層の平面図(基板の下面図)(D)および(A)のD-D線ならびにD'-D'線断面図(E)によって示す説明図である。

【図7】本発明の第7実施例による構成を基板の上面図(第1層の平面図)(A)、第2層の平面図(B)、第3層の平面図(C)、第4層の平面図(基板の下面図)(D)および(A)のE-E線ならびにE'-E'線断面図(E)によって示す説明図である。

【図8】本発明の第8実施例による構成を基板の上面図(第1層の平面図)(A)、第2層の平面図(B)、第3層の平面図(C)、第4層の平面図(基板の下面図)(D)および(A)のF-F線ならびにF'-F'線断面図(E)によって示す説明図である。

【図9】本発明の第9実施例による構成を基板の上面図(第1層の平面図)(A)、第2層の平面図(B)、第3層の平面図(C)、第4層の平面図(基板の下面図)(D)および(A)のG-G'線断面図(E)によって示す説明図である。

【図10】本発明の第10実施例による構成を基板の上面図(第1層の平面図)(A)、第2層の平面図(B)、第3層の平面図(C)、第4層の平面図(基板

の下面図)(D)および(A)のH-H'線断面図(E)によって示す説明図である。

【図11】本発明プリントインダクタを適用した基板上の回路構成例をブロック図(A)および斜視図(B)によって示す説明図である。

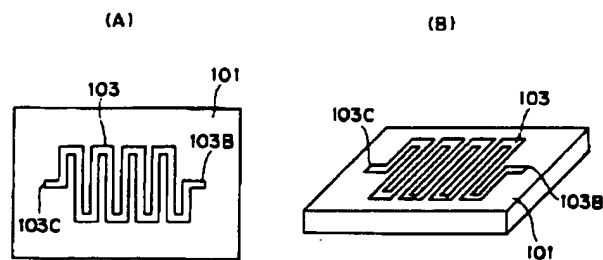
【図12】従来の渦巻き型プリントインダクタの構成例を基板の上面図(A)、下面図(B)および全体の斜視図(C)によって示す説明図である。

【図13】従来の蛇行型プリントインダクタの構成例を基板の上面図(A)および全体の斜視図(B)によって示す説明図である。

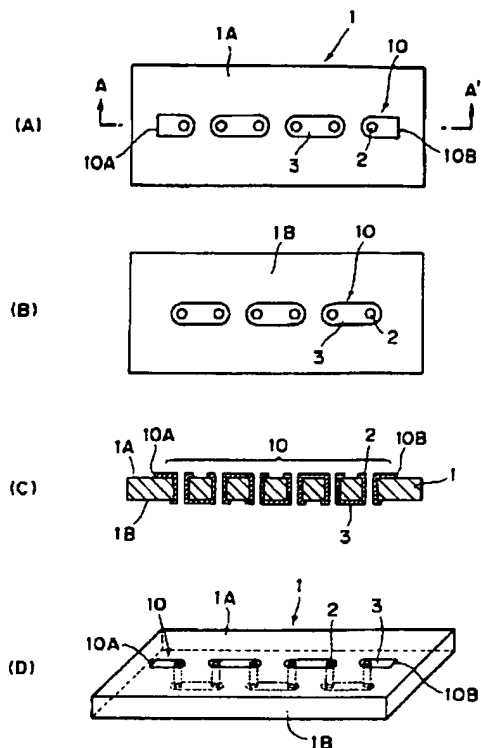
【符号の説明】

- 1 基板
- 1A 上面
- 1B 下面
- 1-1 上層基板
- 1-2 中層基板
- 1-3 下層基板
- 1-1A 第1層
- 1-12 第2層
- 1-23 第3層
- 1-3B 第4層
- 2 めっきスルーホール
- 2-00 共通めっきスルーホール
- 3 独立配線
- 4 磁性体膜
- 10, 20, 30, 40, 50, 60, 103 インダクタ
- 10A, 10B, 20A, 20B, 30A, 30B, 40A, 40B, 50A, 50B, 60A, 60B 端子部
- L1, L2, L3 インダクタ
- IC1, IC2 デジタルIC
- C1, C2, C3 コンデンサ
- V<sub>cc</sub>1, V<sub>cc</sub>2 電源ライン
- CN1 接続ライン

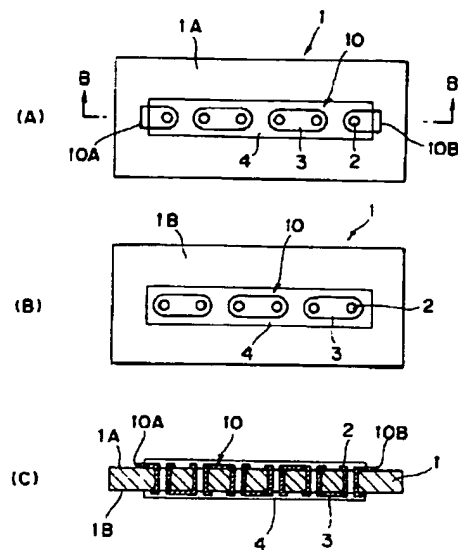
【図13】



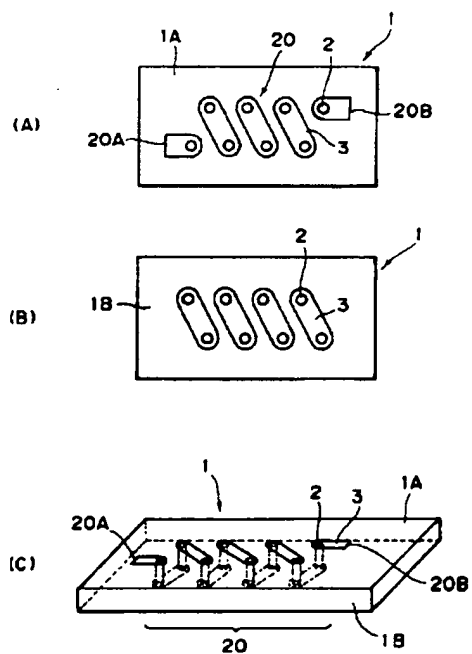
【図1】



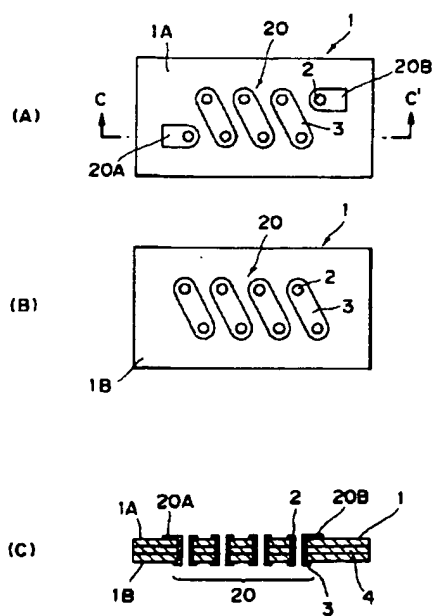
【図2】



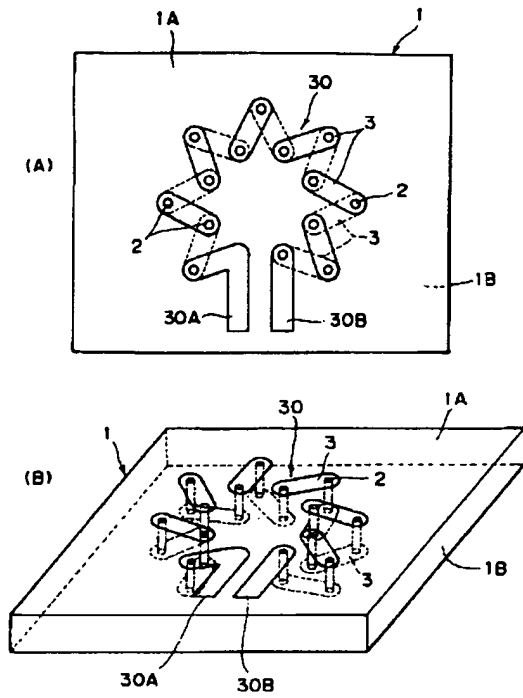
【図3】



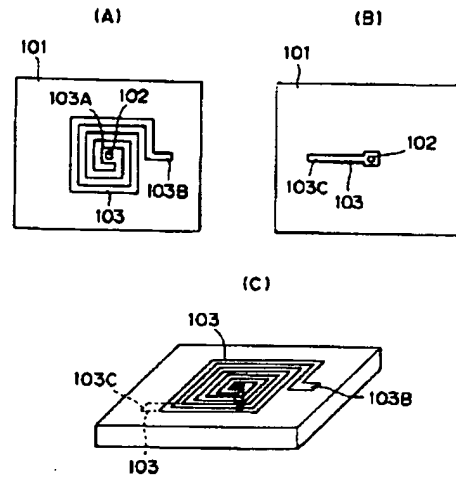
【図4】



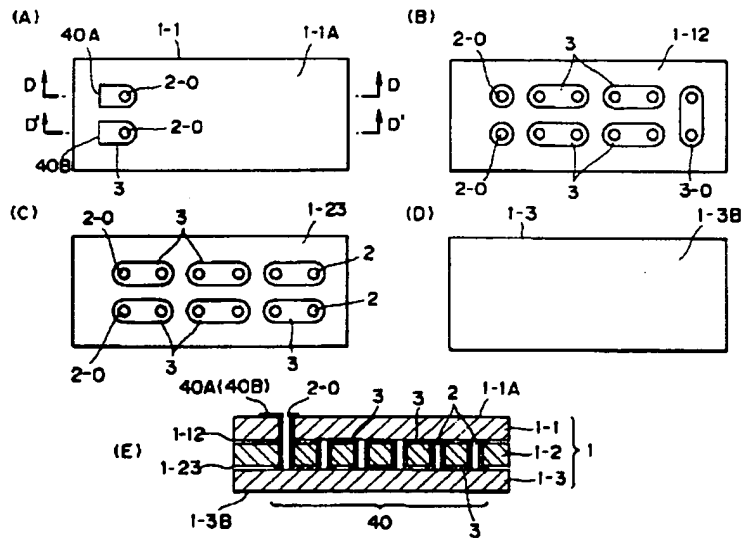
【図5】



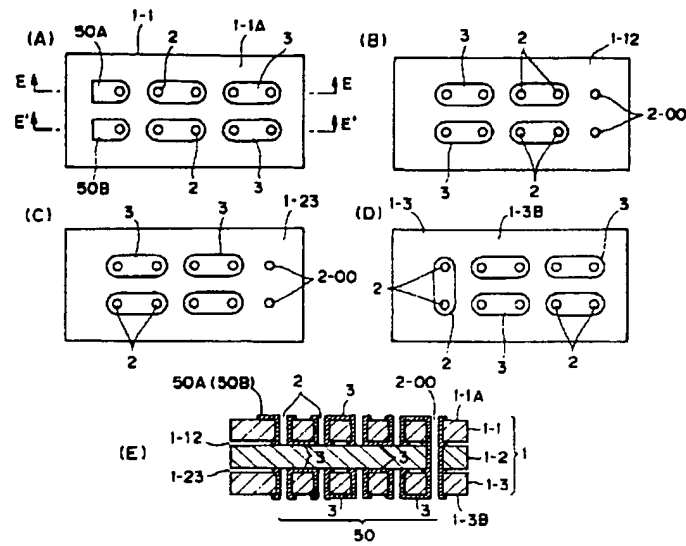
【図12】



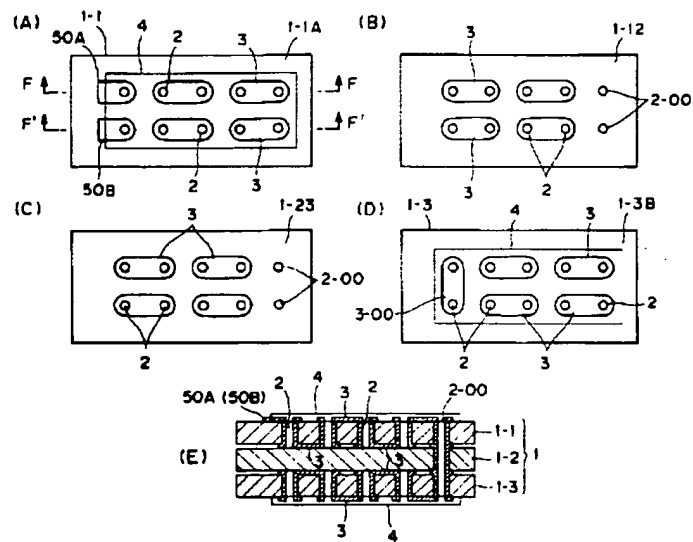
【図6】



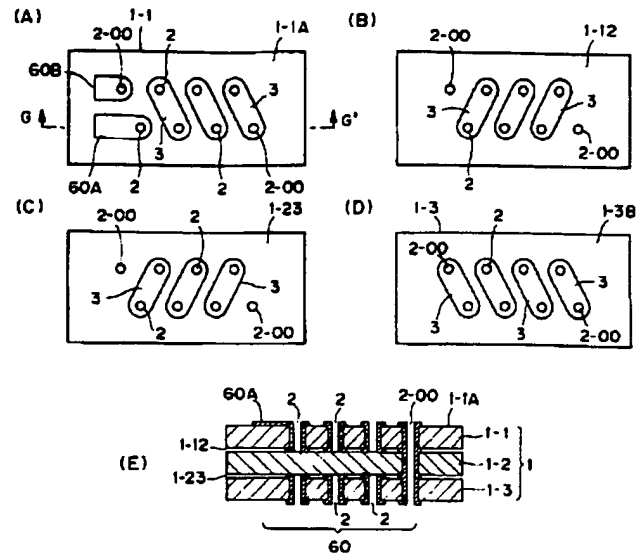
【図7】



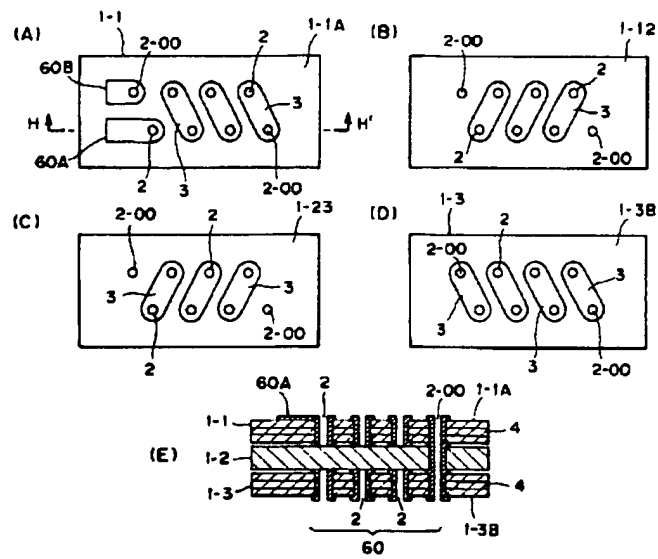
【図8】



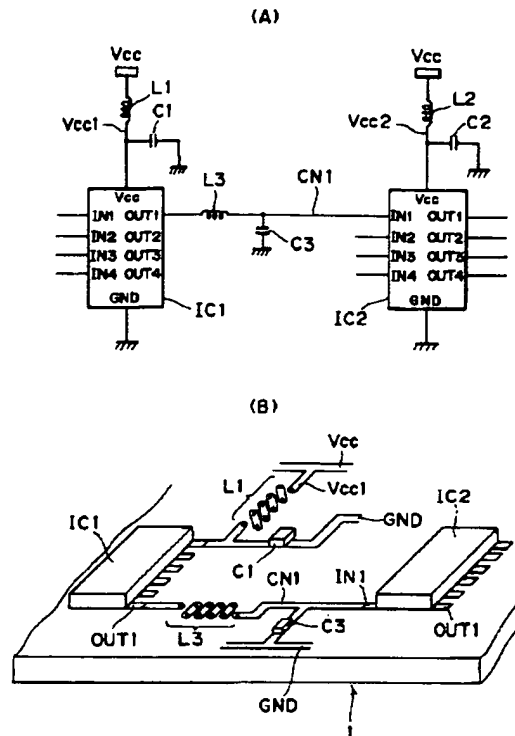
【図9】



【 1 0】



【図11】



フロントページの続き

(72)発明者 竹内 靖

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 逢坂 徹

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 寺山 芳実

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内